

PAT-NO: JP403133173A  
DOCUMENT-IDENTIFIER: JP 03133173 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: June 6, 1991

INVENTOR-INFORMATION:  
NAME  
SHIRATO, TAKEHIDE

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SHIRATO TAKEHIDE N/A

APPL-NO: JP01272064  
APPL-DATE: October 19, 1989

INT-CL (IPC): H01L027/108, H01L027/04

ABSTRACT:

PURPOSE: To form a fine transfer gate requiring no gate electrode area on the surface by forming a vertical type MOS transistor wherein a gate electrode is formed on the side wall of a trench on a charge storage electrode.

CONSTITUTION: A vertical type MOS transistor using a first conducting film 8 as a gate electrode is formed; a second impurity region 4 is used as a charge storage electrode, which region is formed on the bottom part of a second trench 15 and on the side surface part of a third trench 16 and has an opposite conductivity type; a third insulating film formed on the side wall and the

bottom part of the third trench 16 is used as a capacitor insulating film 9; a capacitor wherein a second conducting film buried in the third trench 16 via the third insulating film is used as a cell plate electrode 10 is formed. Thus a structure constituting a DRAM is obtained, and a vertical type MOS transistor wherein a gate electrode is arranged on the side wall of the trench on a charge storage electrode 4 composed of N<SP>+</SP> type impurity region can be formed. Thereby a fine transfer gate requiring no particular gate electrode area on the surface can be formed.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-133173

⑤ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月6日

H 01 L 27/108  
27/04

C

7514-5F  
8624-5F

H 01 L 27/10

3 2 5 F

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平1-272064

⑯ 出 願 平1(1989)10月19日

⑰ 発 明 者 白 土 猛 英 神奈川県平塚市浅間町6番26号

⑱ 出 願 人 白 土 猛 英 神奈川県平塚市浅間町6番26号

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

(1) 一導電型半導体基板に形成された反対導電型の第1の不純物領域と、前記第1の不純物領域の一部を規定する第1の絶縁膜を埋め込んだ第1のトレンチと、前記第1の不純物領域の残りの一部を規定する第2のトレンチと、前記第2のトレンチの側壁及び底部に形成された第2の絶縁膜と、前記第2のトレンチの側壁に前記第2の絶縁膜を介して形成された第1の導電膜と、前記第2のトレンチ内に前記第1の導電膜に自己整合して形成された第3のトレンチと、前記第2のトレンチの底部及び前記第3のトレンチの側面部に形成された反対導電型の第2の不純物領域と、前記第3のトレンチの底部に形成された一導電型の不純物領域と、少なくとも前記第3のトレンチの側壁及び底部に形成された第3の絶縁膜と、前記第3の

絶縁膜を介して少なくとも前記第3のトレンチを埋め込んだ第2の導電膜とを備えてなることを特徴とする半導体装置。

(2) 単一の前記第2及び第3のトレンチにおいて、前記反対導電型の第2の不純物領域は前記第1のトレンチを埋め込んだ第1の絶縁膜及び前記第3のトレンチの底部に形成された一導電型の不純物領域とにより二領域に分割されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記第2の絶縁膜をゲート酸化膜とし、前記第1の導電膜をゲート電極とし、前記第1の不純物領域及び前記第2の不純物領域をソースドレイン領域とするトランスファージゲートと前記第2の不純物領域を電荷蓄積電極とし、前記第3の絶縁膜をキャパシタ絶縁膜とし、前記第2の導電膜をセルプレート電極とするキャパシタからなるダイナミックランダムアクセスメモリー装置を構成していることを特徴とする特許請求の範囲第1項記載の半導体装置。

(4) 特許請求の範囲第1項記載の半導体装置がマトリックス状に形成されていることを特徴とする半導体集積回路。

### 3. 発明の詳細な説明

#### [概要]

第1の絶縁膜を埋め込んだ第1のトレンチ及び第2のトレンチにより規定され、一導電型半導体基板に形成された反対導電型の第1の不純物領域と第2のトレンチの底部及び第3のトレンチの側面部に形成された反対導電型の第2の不純物領域をソースドレイン領域とし、第2のトレンチの側壁に第2の絶縁膜を介して形成された第1の導電膜をゲート電極とする縦方向のMOSトランジスタを形成し、及び第2のトレンチの底部及び第3のトレンチの側面部に形成された反対導電型の第2の不純物領域を電荷蓄積電極とし、第3のトレンチの側壁及び底部に形成された第3の絶縁膜をキャパシタ絶縁膜とし、第3の絶縁膜を介して第3のトレンチを埋め込んだ第2の導電膜をセルプ

レート電極とするキャパシタを形成することによりダイナミックランダムアクセスメモリー(DRAM)装置を構成する構造に形成されているため、縦方向のMOSトランジスタを形成できることにより、表面上のゲート電極面積を必要としないこと及び単一のトレンチ内に2つのキャパシタを形成できることによる高集積化を、ビット線に接続するn+型の第1の不純物領域を底部の平坦な拡散層を形成できることにより接合耐圧をあげること及びゲート電極とセルプレート電極をトレンチ内に埋め込むことができることによりステップカバレッジの良い配線体を形成できることによる高信頼性を可能とした半導体装置。

#### [産業上の利用分野]

本発明はMIS型半導体装置に係り、特に高集積なキャパシタとトランスファーゲートを有するDRAMのメモリーセルに関する。

従来、DRAMのメモリーセルの縮小に関しては微細なキャパシタを形成することのみがおこな

われ、さまざまなタイプのスタック型キャパシタ及びトレンチ型キャパシタが検討され、使用されてきたが、将来的に製造プロセスの容易さを考慮し、より微細なキャパシタを形成するためには、必要な容量を確保することが比較的容易なトレンチ型キャパシタにやや分があるように思われる。しかし、従来のトレンチ型キャパシタでは、キャパシタの平面上の面積は縮小できても、レイアウトの関係上隣り合うトレンチ型キャパシタ間の分離間隔に限界が見えつつあり、高集積化への妨げになるということ、又、キャパシタは高集積化されてもMOSトランジスタからなるトランスファーゲートには何等高集積化がなされておらずメモリーセルの縮小には限界があるという問題が顕著になってきている。そこで、トランスファーゲートを高集積化し、且つキャパシタ間の分離を改善した高集積なトレンチ型キャパシタを有するメモリーセルを形成できる手段が要望されている。

#### [従来の技術]

第5図は従来の半導体装置の模式側断面図であり、トレンチ型キャパシタを持つDRAMのメモリーセルを示している。51はp-型シリコン(Si)基板、52はp型ウエル領域、53はp+型不純物領域、54はn+型不純物領域、55はフィールド酸化膜、56はキャパシタ絶縁膜、57はセルプレート電極(多結晶シリコン膜)、58はゲート酸化膜、59はワード線(多結晶シリコン膜)、60はブロック用酸化膜、61は燐珪酸ガラス(PSG)膜、62はビット線(Al配線)を示している。

同図においては、p-型シリコン(Si)基板51に選択的にp型ウエル領域52が設けられ、前記p型ウエル領域52にトレンチ型キャパシタ及びトランスファーゲートからなるメモリーセルが形成されている。トレンチ型キャパシタはトレンチ側面部及び底部にn+型不純物領域54からなる電荷蓄積電極と、キャパシタ絶縁膜56を介してトレンチに埋め込まれた多結晶シリコン膜からなるセルプレート電極57を二電極として形成されており、又、

n + 型不純物領域54には高濃度のp + 型不純物領域53が接する、いわゆるH i C構造のキャパシタを形成している。隣り合うトレンチ型キャパシタはフィールド酸化膜55により分離画定されている。トレンチを深く掘ることにより微細な面積で十分な容量を持つトレンチ型キャパシタは形成できるが、トレンチ型キャパシタ間にはトレンチ間リークを抑えるため接合分離型の分離領域を有するため(p + 型不純物領域53の濃度を上げればトレンチ間リークに関する分離領域はさらに微細にできるが、n + 型不純物領域54の接合耐圧がなくなるため、濃度上昇には限界がある。)さらには高集積化が期待できないという欠点があった。又、トランスファークエーゲートに対しては何等高集積化がなされていないという欠点もあった。

#### [発明が解決しようとする問題点]

本発明が解決しようとする問題点は、従来例に示されるように、トレンチ型キャパシタはトレンチを深く掘ることにより微細な面積で形成できる

が、トレンチ型キャパシタ間のリークを抑えるため接合分離型の分離領域を接合耐圧の低下から微細に形成できないため、さらなる高集積化ができなかったこと、及びトランスファークエーゲートに対しては何等高集積化がなされていないため、メモリーセルの高集積化に対して限界が来つつあることである。

#### [問題点を解決するための手段]

上記問題点は、一導電型半導体基板に形成された反対導電型の第1の不純物領域と、前記第1の不純物領域の一部を規定する第1の絶縁膜を埋め込んだ第1のトレンチと、前記第1の不純物領域の残りの一部を規定する第2のトレンチと、前記第2のトレンチの側壁及び底部に形成された第2の絶縁膜と、前記第2のトレンチの側壁に前記第2の絶縁膜を介して形成された第1の導電膜と、前記第2のトレンチ内に前記第1の導電膜に自己整合して形成された第3のトレンチと、前記第2のトレンチの底部及び前記第3のトレンチの側面

部に形成された反対導電型の第2の不純物領域と、前記第3のトレンチの底部に形成された一導電型の不純物領域と、少なくとも前記第3のトレンチの側壁及び底部に形成された第3の絶縁膜と、前記第3の絶縁膜を介して少なくとも前記第3のトレンチを埋め込んだ第2の導電膜とを備えてなる本発明の半導体装置によって解決される。

#### [作 用]

即ち本発明の半導体装置においては、第1の絶縁膜を埋め込んだ第1のトレンチ及び第2のトレンチにより規定され、一導電型半導体基板に形成された反対導電型の第1の不純物領域と第2のトレンチの底部及び第3のトレンチの側面部に形成された反対導電型の第2の不純物領域をソースドレイン領域とし、第2のトレンチの側壁に第2の絶縁膜を介して形成された第1の導電膜をゲート電極とする縦方向のMOSトランジスタを形成し、及び第2のトレンチの底部及び第3のトレンチの側面部に形成された反対導電型の第2の不純物

領域を電荷蓄積電極とし、第3のトレンチの側壁及び底部に形成された第3の絶縁膜をキャパシタ絶縁膜とし、第3の絶縁膜を介して第3のトレンチを埋め込んだ第2の導電膜をセルフプレート電極とするキャパシタを形成することによりDRAMを構成する構造に形成されている。したがって、n + 型不純物領域からなる電荷蓄積電極上のトレンチの側壁にゲート電極を設けた縦方向のMOSトランジスタを形成できるため、特別に表面上のゲート電極面積を必要としない微細なトランスファークエーゲートの形成が可能である。又、単一のトレンチ内に埋め込み絶縁膜及びp + 型不純物領域によりn + 型不純物領域からなる電荷蓄積電極を二領域に分割形成できるため、単一のトレンチ内にセルフアライン形成した微細な2つのキャパシタの形成が可能である。さらに、ビット線に接続するn + 型不純物領域を底部の平坦な拡散層に形成できるため、接合耐圧を上昇させることが可能である。そのうえ、ゲート電極及びセルフプレート電極をトレンチ内に埋め込み形成できるため、ステ

アップカバレッジの良い配線体の形成も可能にすることができる。即ち、極めて高集積且つ高信頼な半導体集積回路の形成を可能とした半導体装置を得ることができる。

#### [実施例]

以下本発明を、図示実施例により具体的に説明する。第1図(a)(b)は本発明の半導体装置における第1の実施例の模式図、第2図は本発明の半導体装置における第2の実施例の模式側断面図、第3図は本発明の半導体装置における第3の実施例の模式側断面図、第4図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図である。

全図を通じ同一対象物は同一符号で示す。

第1図はp型シリコン基板を用いた際の本発明の半導体装置における第1の実施例で、(a)は側断面図を、(b)は平面図を示している。1は $10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板、2は $10^{16} \text{ cm}^{-3}$ 程度のp型ウエル領域、3は $10^{17} \text{ cm}^{-3}$ 程度のn+型

不純物領域分割用のp+型不純物領域、4は $10^{20} \text{ cm}^{-3}$ 程度の第2のn+型不純物領域(電荷蓄積電極兼ソースドレイン領域)、5は $10^{20} \text{ cm}^{-3}$ 程度の第1のn+型不純物領域(ソースドレイン領域)、6はトレンチ素子分離用埋め込み酸化膜、7は20nm程度のゲート酸化膜、8は幅 $0.3 \mu\text{m}$ 程度のワード線(多結晶シリコン膜)、9は10nm程度のキャパシタ絶縁膜、10はセルプレート電極(多結晶シリコン膜)、11は50nm程度のブロック用酸化膜、12は $0.6 \mu\text{m}$ 程度の燐珪酸ガラス(PSG)膜、13は $1 \mu\text{m}$ 程度のビット線(Al配線)、14は深さ $8 \mu\text{m}$ 程度の第1のトレンチ、15は深さ $1 \mu\text{m}$ 程度の第2のトレンチ、16は深さ $5 \mu\text{m}$ 程度の第3のトレンチ、17は $10^{17} \text{ cm}^{-3}$ 程度のp+型チャネルストップ領域を示している。

同図においては、酸化膜6を埋め込んだ素子分離用の第1のトレンチ14及び第2のトレンチ15により規定され、p型シリコン基板1の表面に形成された第1のn+型不純物領域5と第2のトレンチ15の底部及び第3のトレンチ16の側面部に形

成された第2のn+型不純物領域4をソースドレイン領域とし、第2のトレンチ15の側壁にゲート酸化膜7を介して形成された多結晶シリコン膜8をゲート電極とするトランスファージェートと、第2のトレンチ15の底部及び第3のトレンチ16の側面部に形成された第2のn+型不純物領域4を電荷蓄積電極とし、第3のトレンチ16の側壁及び底部に形成された第3の絶縁膜をキャパシタ絶縁膜9とし、キャパシタ絶縁膜9を介して第3のトレンチ16を埋め込んだ多結晶シリコン膜10をセルプレート電極とするトレンチ型キャパシタからなるDRAMのメモリーセルが形成されている。トレンチ型キャパシタは単一のトレンチにおいて、電荷蓄積電極となる第2のn+型不純物領域4が側面部を酸化膜6を埋め込んだ素子分離用の第1のトレンチ14により、底部をp+型不純物領域3により分割され、独立の二領域になっており、2つのトレンチ型キャパシタを形成している。(第3のトレンチ底部におけるp+型不純物領域の形成法は製造方法において詳述するが、一度底部に形

成したn+型不純物領域をエッチング除去して後、側面部のn+型不純物領域に接触しないように底部にのみp+型不純物領域を形成したものである。)したがって、n+型不純物領域からなる電荷蓄積電極上のトレンチの側壁にゲート電極を設けた縦方向のMOSトランジスタを形成できるため、特別に表面上のゲート電極面積を必要としない微細なトランスファージェートの形成が可能である。又、単一のトレンチ内に埋め込み絶縁膜及びp+型不純物領域によりn+型不純物領域からなる電荷蓄積電極を二領域に分割形成できるため、単一のトレンチ内にセルフアライン形成した微細な2つのキャパシタの形成が可能である。さらに、ビット線に接続するn+型不純物領域を底部の平坦な拡散層に形成できるため、接合耐圧を上昇させることが可能である。そのうえ、ゲート電極及びセルプレート電極をトレンチ内に埋め込み形成できるため、ステップカバレッジの良い配線体の形成も可能にすることができる。

第2図は本発明の半導体装置における第2の実

施例の模式側断面図で、1～17は第1図と同じ物を、18は第2のn-型不純物領域、19は第1のn-型不純物領域を示している。

同図においては、LDD(Lightly Doped Drain)構造のショートチャネルトランジスタを形成しており、第1のn+型不純物領域5及び第2のn+型不純物領域4に接して第1のn-型不純物領域19及び第2のn-型不純物領域18がそれぞれ形成されている点を除き、第1の実施例と同じ構造に形成されている。本実施例においては、第1の実施例の効果に加え、トランスファージゲートをより微細に形成できるため高速化を可能にすることができる。

第3図は本発明の半導体装置における第3の実施例の模式側断面図で、1、3～17は第1図と同じ物を、20はチャネル領域形成用のp+型不純物領域を示している。

同図においては、DSA(Diffusion Self Aligned)構造のショートチャネルトランジスタを形成しており、第2のn+型

不純物領域4に接してゲート電極下の一部に延在するp+型不純物領域からなるチャネル領域が形成されている点を除き、第1の実施例と同じ構造に形成されている。本実施例においては、第1の実施例の効果に加え、トランスファージゲートをより微細に形成できることによる高速化及び電荷蓄積電極形成用の第2のn+型不純物領域4をチャネル領域形成用のp+型不純物領域で完全に囲むように形成できるため、HiC構造のトレンチ型キャパシタを形成できることによる高集積化及び高性能化を可能にすることができる。

次いで本発明に係る半導体装置の製造方法の一実施例について第4図(a)～(e)及び第1図を参照して説明する。

#### 第4図(a)

p-型シリコン基板1に酸化膜21及び窒化膜22を成長させる。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、硼素をイオン注入してp型ウエル領域2を、磷をイオン注入してn型ウエル領域(図示

せず)をそれぞれ選択的に順次画定する。次いで高温ランニングし所望の深さを持つp型ウエル領域2及びn型ウエル領域(図示せず)を形成する。次いで不要なレジストを除去する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、窒化膜22、酸化膜21、p-型シリコン基板1の一部(深さ8 $\mu\text{m}$ 程度)を選択的に順次エッチングし、第1のトレンチ14を形成する。次いでレジストを除去する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)及び窒化膜22をマスク層として、硼素をイオン注入してp+型チャネルストッパー領域17を、磷をイオン注入してn+型チャネルストッパー領域(図示せず)をそれぞれ選択的に順次第1のトレンチ14底部に形成する。次いで不要なレジストを除去する。次いで化学気相成長酸化膜6を成長させ、異方性ドライエッチングをおこない、第1のトレンチ14に埋め込む。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)をマスク層として、窒化膜22

、酸化膜21、埋め込み酸化膜6の一部(深さ1 $\mu\text{m}$ 程度)、p-型シリコン基板1の一部(深さ1 $\mu\text{m}$ 程度)を選択的に順次エッチングし、第2のトレンチ15を形成する。(この第2のトレンチ15の深さがトランジスタのゲート長になる。)次いでレジストを除去する。

#### 第4図(b)

次いでゲート酸化膜7を成長させる。次いで不純物を含んだ第1の多結晶シリコン膜を成長させ、異方性ドライエッチングし、第2のトレンチ15の側壁にワード線(多結晶シリコン膜)8を形成する。次いで不要部のゲート酸化膜7をエッチング除去する。次いでエッチングのマスク層となる酸化膜23を形成する。この酸化膜23は不純物を含んだ多結晶シリコン膜8には厚く、p-型シリコン基板1には薄く形成されるので、この膜厚差を利用してp-型シリコン基板1上の酸化膜をエッチング除去し、不純物を含んだ多結晶シリコン膜8には若干酸化膜23を残す。

## 第4図(c)

次いで残された酸化膜23をマスク層として第2のトレンチ15内に露出したp-型シリコン基板1を4 $\mu$ m程度エッチングし、セルフアラインに第3のトレンチ16を形成する。次いで第1のトレンチ14埋め込み酸化膜6、ワード線(多結晶シリコン膜)8及び窒化膜22をマスク層として、砒素を回転イオン注入して、第3のトレンチ16の側面部及び底部に第2のn+型不純物領域4を形成する。

## 第4図(d)

次いで第3のトレンチ16の底部を1 $\mu$ m程度異方性ドライエッチングし、第3のトレンチ16の底部にp-型シリコン基板1を露出する。次いで前記第1のトレンチ14埋め込み酸化膜6、ワード線(多結晶シリコン膜)8及び窒化膜22をマスク層として、砒素をイオン注入して、第3のトレンチ16の底部にn+型不純物領域4分割用のp+型不純物領域3を形成する。

## 第4図(e)

次いで酸化膜23をエッチング除去する。次いで

キャパシタ絶縁膜8(酸化膜/窒化膜/酸化膜からなる3層膜)を成長する。次いで第2の多結晶シリコン膜を成長させ、異方性ドライエッチングし、第2のトレンチ15及び第3のトレンチ16に埋め込みセルプレート電極9を形成する。次いで不要のキャパシタ絶縁膜8をエッチング除去する。次いで不要の窒化膜22、酸化膜21を順次エッチング除去する。次いでイオン注入用の薄い酸化膜(図示せず)を成長する。次いで通常のフォトリソグラフィ技術を利用し、レジスト(図示せず)、第1のトレンチ14埋め込み酸化膜6及びワード線(多結晶シリコン膜)8をマスク層として、砒素をイオン注入してp+型ソースドレイン領域(図示せず)を、砒素をイオン注入して第1のn+型不純物領域(ソースドレイン領域)5をそれぞれ選択的に順次画定する。次いで不要のレジストを除去する。次いで不要のイオン注入用の薄い酸化膜をエッチング除去する。

## 第1図

次いで通常の技法を適用することによりブロッ

ク用酸化膜11及び燐珪酸ガラス(PSG)膜12の成長、高温熱処理による各不純物領域の深さの制御、電極コンタクト窓の形成、Al配線13(ビット線を含む)の形成等をおこなって半導体装置を完成する。

以上実施例に示したように、本発明の半導体装置によれば、n+型不純物領域からなる電荷蓄積電極上のトレンチの側壁にゲート電極を設けた縦方向のMOSトランジスタを形成できるため、特別に表面上のゲート電極面積を必要としない微細なトランスファージェートの形成が可能である。又、単一のトレンチ内に埋め込み絶縁膜及びp+型不純物領域によりn+型不純物領域からなる電荷蓄積電極を二領域に分割形成できるため、単一のトレンチ内にセルフアライン形成した微細な2つのキャパシタの形成が可能である。さらに、ビット線に接続するn+型不純物領域を底部の平坦な拡散層に形成できるため、接合耐圧を上昇させることが可能である。そのうえ、ゲート電極及びセルプレート電極をトレンチ内に埋め込み形成でき

るため、ステップカバレッジの良い配線体の形成も可能にすることができる。

## 【発明の効果】

以上説明のように本発明によれば、MIS型半導体装置において、トレンチの側壁にゲート電極を形成した縦方向のMOSトランジスタからなるトランスファージェートと単一のトレンチ内に二領域に分割形成した不純物領域からなる電荷蓄積電極を持つトレンチ型キャパシタを形成できるため、縦方向のMOSトランジスタを形成できることにより、表面上のゲート電極面積を必要としないこと及び単一のトレンチ内に2つのキャパシタを形成できることによる高集積化を、ビット線に接続する不純物領域を底部の平坦な拡散層に形成することにより接合耐圧をあげること及びゲート電極とセルプレート電極をトレンチ内に埋め込むことができることによりステップカバレッジの良い配線体を形成できることによる高信頼性を可能にすることができる。即ち、極めて高集積且つ高



信頼な半導体集積回路の形成を可能とした半導体装置を得ることができる。

#### 4. 図面の簡単な説明

第1図(a)(b)は本発明の半導体装置における第1の実施例の模式図、

第2図は本発明の半導体装置における第2の実施例の模式側断面図、

第3図は本発明の半導体装置における第3の実施例の模式側断面図、

第4図(a)～(e)は本発明の半導体装置における製造方法の一実施例の工程断面図、

第5図は従来の半導体装置の模式側断面図である。

図において、

1はp型シリコン(Si)基板、

2はp型ウェル領域、

3はn型不純物領域分割用のp型不純物領域、

4は第2のn型不純物領域(電荷蓄積電極兼

ソースドレイン領域)、

5は第1のn型不純物領域(ソースドレイン領域)、

6はトレンチ素子分離用埋め込み酸化膜、

7はゲート酸化膜、

8はワード線(多結晶シリコン膜)、

9はキャパシタ絶縁膜、

10はセルプレート電極(多結晶シリコン膜)、

11はブロック用酸化膜、

12は燐珪酸ガラス(PSG)膜、

13はビット線(Al配線)、

14は第1のトレンチ、

15は第2のトレンチ、

16は第3のトレンチ、

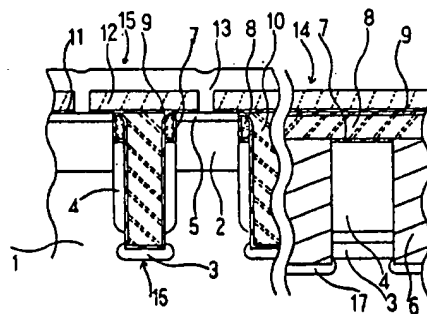
17はp型チャネルストッパー領域、

18は第2のn型不純物領域、

19は第1のn型不純物領域、

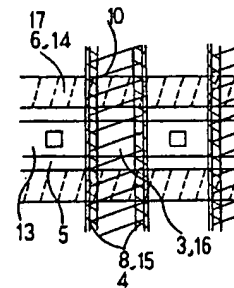
20はチャネル領域形成用のp型不純物領域を示す。

特許出願人 白土猛英



(a) 側断面図

本発明の半導体装置における  
第1の実施例の模式図

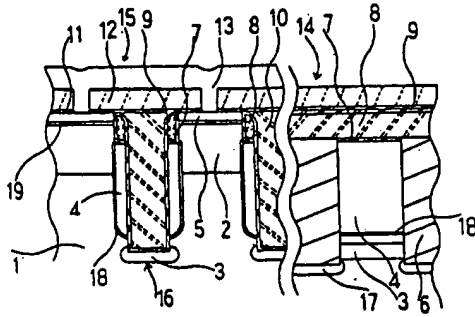


(b) 平面図

#### 第 1 図

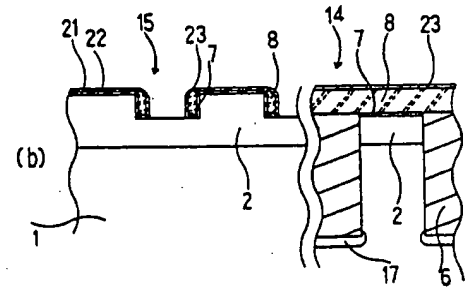
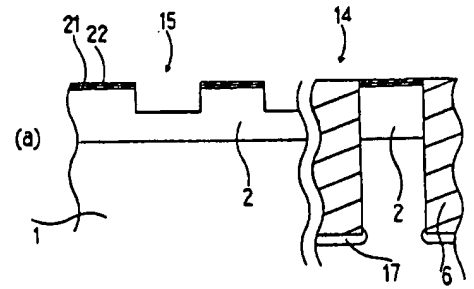
- 1はp型シリコン(Si)基板
- 2はp型ウェル領域
- 3はn型不純物領域分割用のp型不純物領域
- 4は第2のn型不純物領域(電荷蓄積電極兼ソースドレイン領域)
- 5は第1のn型不純物領域(ソースドレイン領域)
- 6はトレンチ素子分離用埋め込み酸化膜
- 7はゲート酸化膜
- 8はワード線(多結晶シリコン膜)

- 9はキャパシタ絶縁膜
- 10はセルプレート電極(多結晶シリコン膜)
- 11はブロック用酸化膜
- 12は燐珪酸ガラス(PSG)膜
- 13はビット線(Al配線)
- 14は第1のトレンチ
- 15は第2のトレンチ
- 16は第3のトレンチ
- 17はp型チャネルストッパー領域



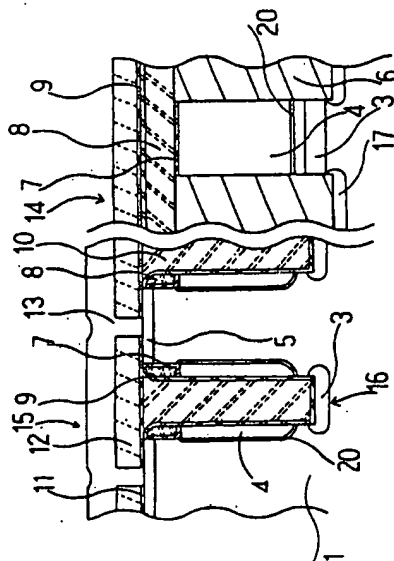
本発明の半導体装置における  
第2の実施例の模式側断面図  
第2図

- |                                 |                    |
|---------------------------------|--------------------|
| 1はp-型シリコン(Si)基板                 | 11はブロック用酸化膜        |
| 2はp型ウェル領域                       | 12は燐珪酸ガラス(PSG)膜    |
| 3はn+型不純物領域分割用のp+型不純物領域          | 13はビット線(Al配線)      |
| 4は第2のn+型不純物領域(電荷蓄積電極兼ソースドレイン領域) | 14は第1のトレンチ         |
| 5は第1のn+型不純物領域(ソースドレイン領域)        | 15は第2のトレンチ         |
| 6はトレンチ素子分離用埋め込み酸化膜              | 16は第3のトレンチ         |
| 7はゲート酸化膜                        | 17はp+型チャネルストップパー領域 |
| 8はワード線(多結晶シリコン膜)                | 18は第2のn-型不純物領域     |
| 9はキャパシタ絶縁膜                      | 19は第1のn-型不純物領域     |
| 10はセルプレート電極(多結晶シリコン膜)           |                    |



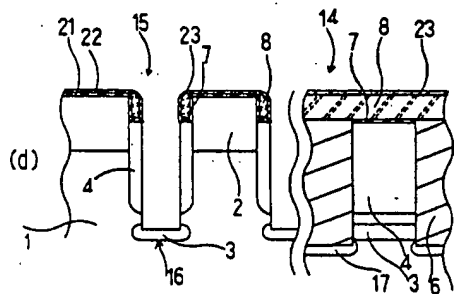
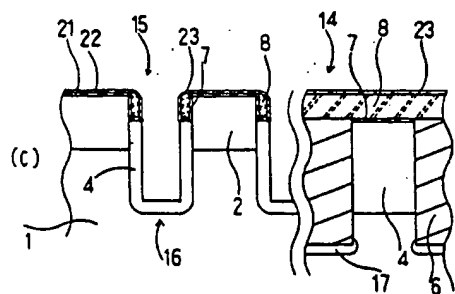
本発明の半導体装置における  
製造方法の一実施例の工程断面図  
第4図

ED-1A-58

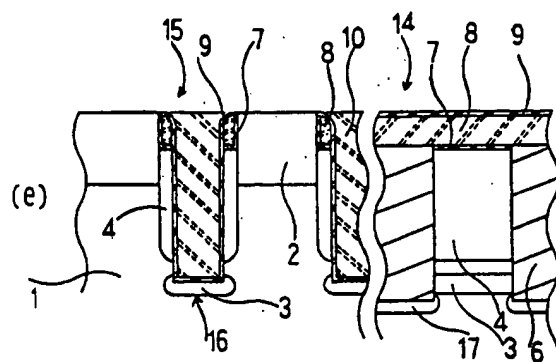


本発明の半導体装置における  
第3の実施例の模式側断面図  
第3図

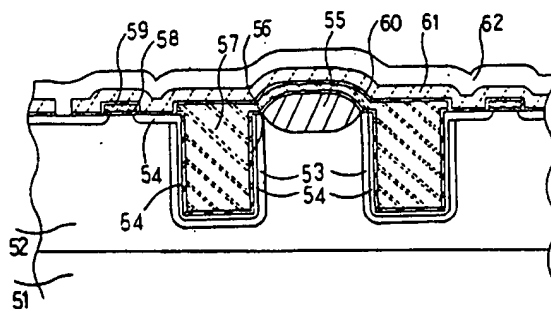
- |                                 |                    |
|---------------------------------|--------------------|
| 1はp-型シリコン(Si)基板                 | 11はブロック用酸化膜        |
| 3はn+型不純物領域分割用のp+型不純物領域          | 12は燐珪酸ガラス(PSG)膜    |
| 4は第2のn+型不純物領域(電荷蓄積電極兼ソースドレイン領域) | 13はビット線(Al配線)      |
| 5は第1のn+型不純物領域(ソースドレイン領域)        | 14は第1のトレンチ         |
| 6はトレンチ素子分離用埋め込み酸化膜              | 15は第2のトレンチ         |
| 7はゲート酸化膜                        | 16は第3のトレンチ         |
| 8はワード線(多結晶シリコン膜)                | 17はp+型チャネルストップパー領域 |
| 9はキャパシタ絶縁膜                      | 18は第2のn-型不純物領域     |
| 10はセルプレート電極(多結晶シリコン膜)           | 19は第1のn-型不純物領域     |
| 11はブロック用酸化膜                     |                    |
| 12は燐珪酸ガラス(PSG)膜                 |                    |
| 13はビット線(Al配線)                   |                    |
| 14は第1のトレンチ                      |                    |
| 15は第2のトレンチ                      |                    |
| 16は第3のトレンチ                      |                    |
| 17はp+型チャネルストップパー領域              |                    |
| 20はチャネル領域形成用のp+型不純物領域           |                    |



本発明の半導体装置における  
製造方法の一実施例の工程断面図  
第 4 図



本発明の半導体装置における  
製造方法の一実施例の工程断面図  
第 4 図



従来の半導体装置の  
模式側断面図  
第 5 図